

RC5T583S

PCB 版图指南

版本 1.0

2012. 11. 08

RICOH

RICOH COMPANY, LTD.

Electronic Devices Company

概述

此文档主要介绍设计应用 RC5T583S 的电路板时的限制与注意点。
此指南给出了具体事例来说明如何操作。
一个优良的 PCB 版图实例有助于优化 RC5T583S 的性能。

目录

1. 基本事项和布板格局实例.....	3
1.1 <DCDC 模块>	3
1.1.1 DCDC1, DCDC2 及 DCDC3.....	3
1.1.2 DCDC0 (大电流型).....	8
1.2 RTC 模块	12
2. 推荐外部器件列表 (*最大厚度: 3.0mm).....	14
3 器件版图实例	15

1. 基本事项和布板格局实例

1.1 <DCDC 模块>

1.1.1 DCDC1, DCDC2 及DCDC3

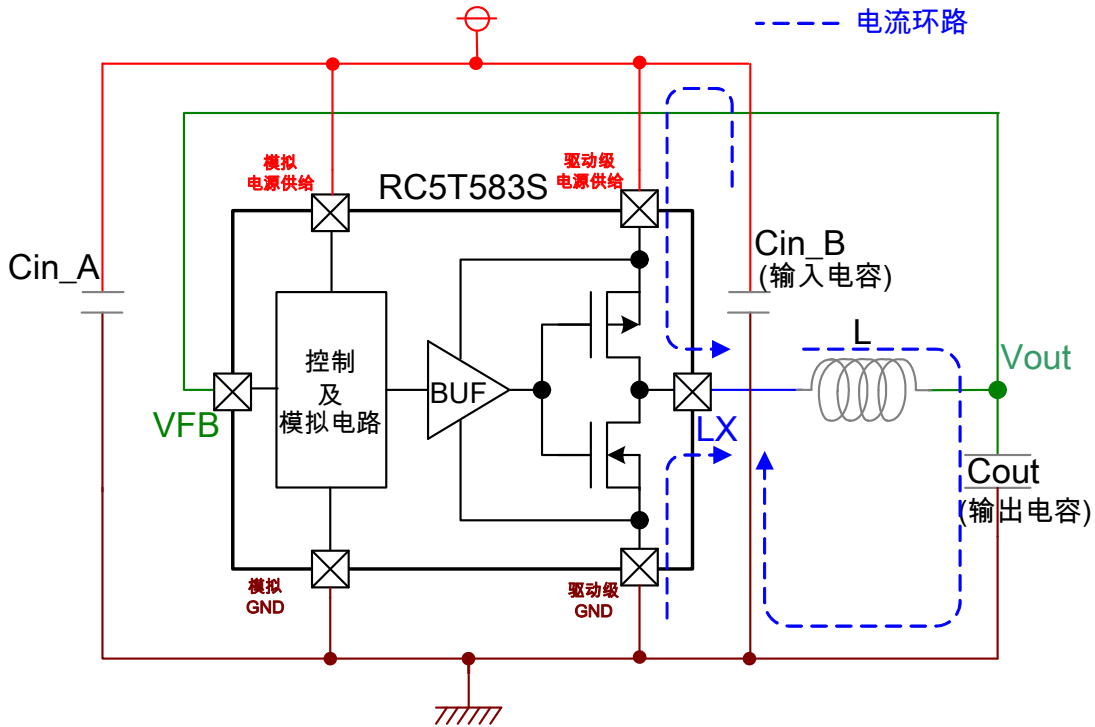


图.1-1 DCDC 简要电路图

	DCDC1	DCDC2	DCDC3
模拟电源供给	VIN3		
驱动级电源供给	VIN2, 5	VIN4	VIN6, 7
驱动级 GND	GND 2, 3	GND 4, 5	GND 6, 7
模拟 GND	GND8		
VFB	FB1	FB2	FB3
LX	LX11, 12	LX21, 22	LX31, 32

表 1-1: RC5T583S 管脚名称

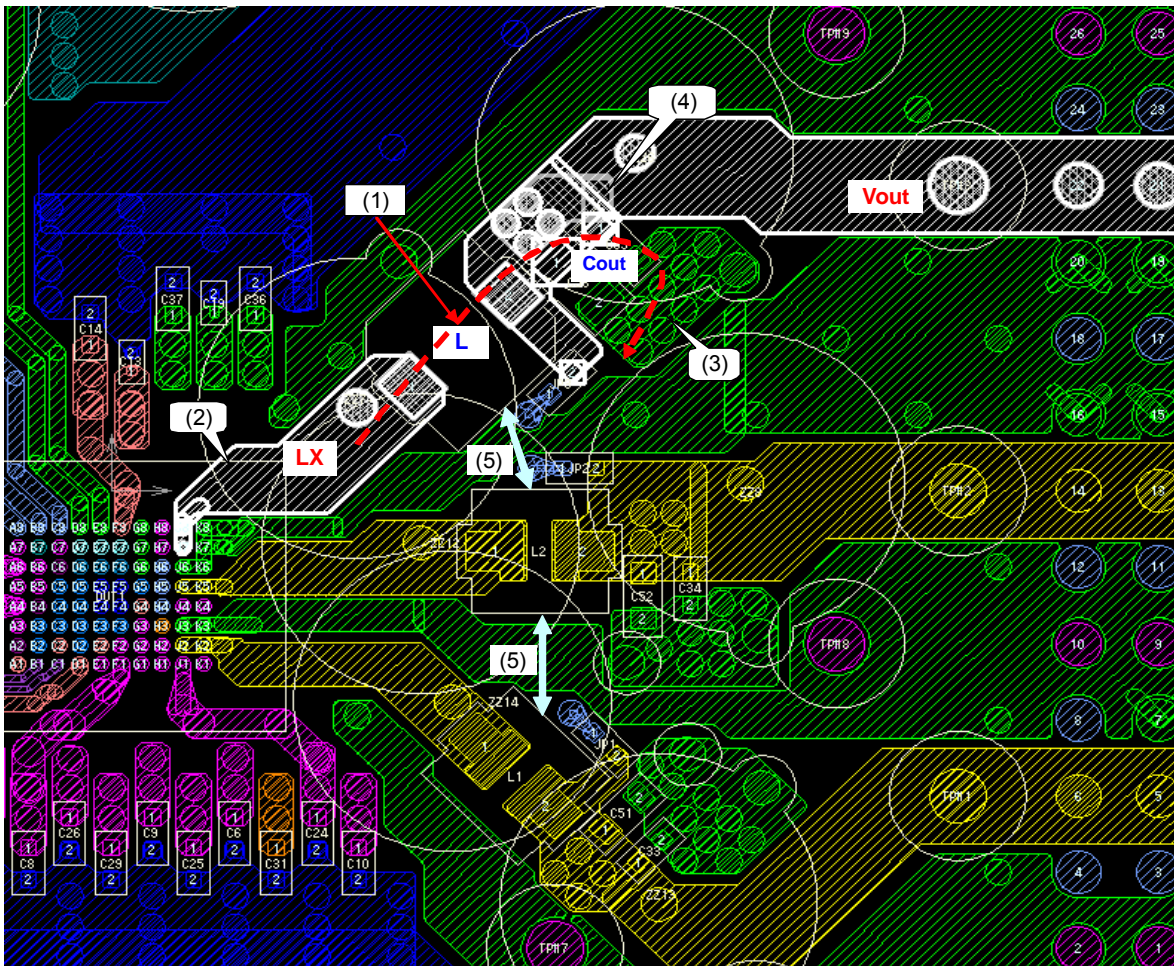


图.1-2 DCDC 模块评价板格局示例(顶层)

- (1) 部件的放置应尽量注意减小开关电流环路。(图. 1-1 及 1-1: 蓝色线, 图. 1-2: 红色线)。
- (2) RC5T583S 与电感间的 LX 线布线应尽可能短和宽, 并且不应在其上面添加其他不相干的配线。
- (3) 请将“Cout”的 GND 线用多重 via 直接连到内部 GND 层以尽可能地减小阻抗。(目标值: 50mΩ 或以下)
- (4) 请从靠近“Cout”而非“L”的地方开始 VOUT 布线。
- (5) 请勿将每个 DCDC 的电感放置过于靠近, 以避免其相互间的电磁干扰。

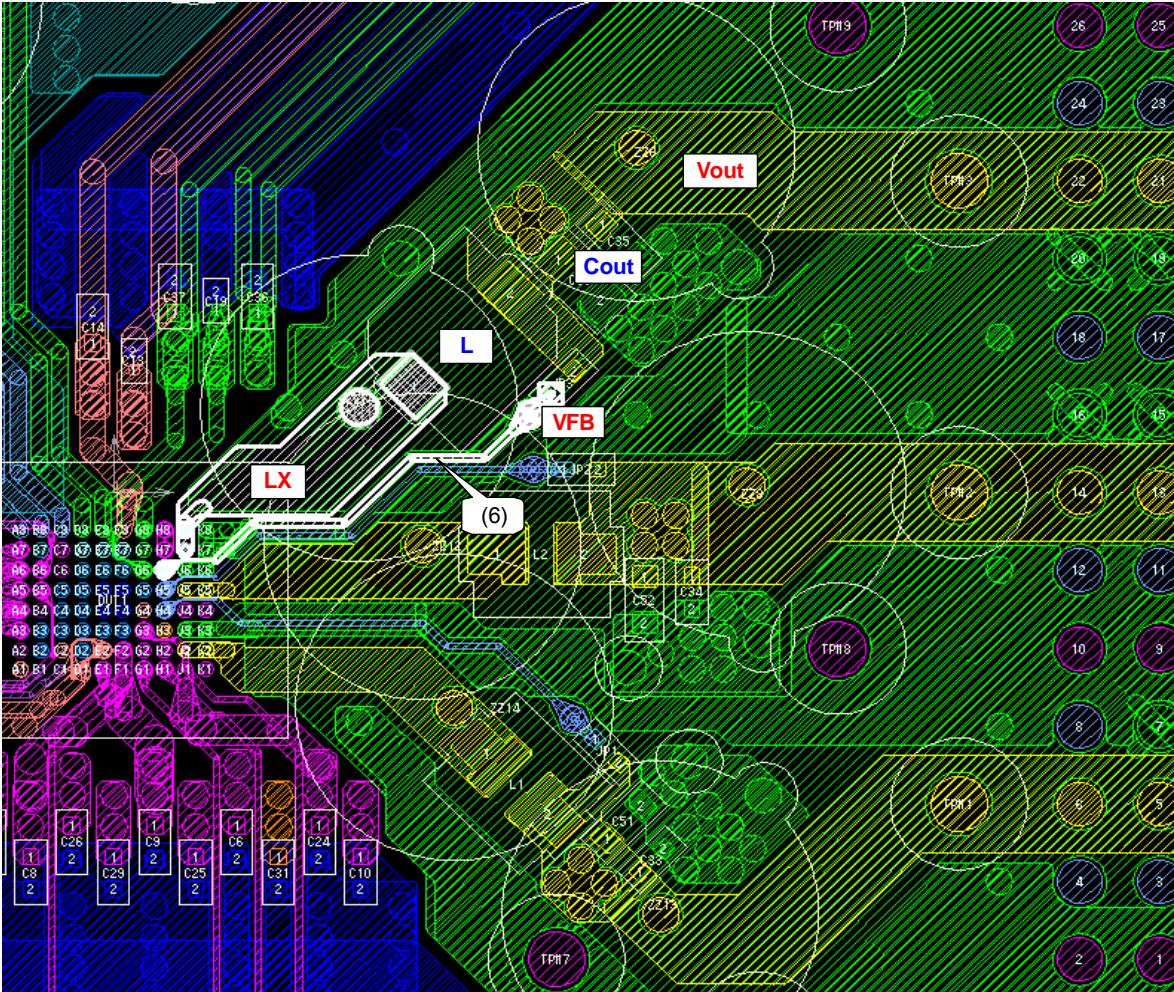


图.1-3: DCDC 模块评价板格局 (顶层 (Lx) + 第3层 (VFB))

(6) 请避免将反馈回芯片的 VFB 线与诸如 LX 线等的噪声源在同一层并行布线。或者如果可能，将 VFB 线与噪声源的布线放置在不同层中。

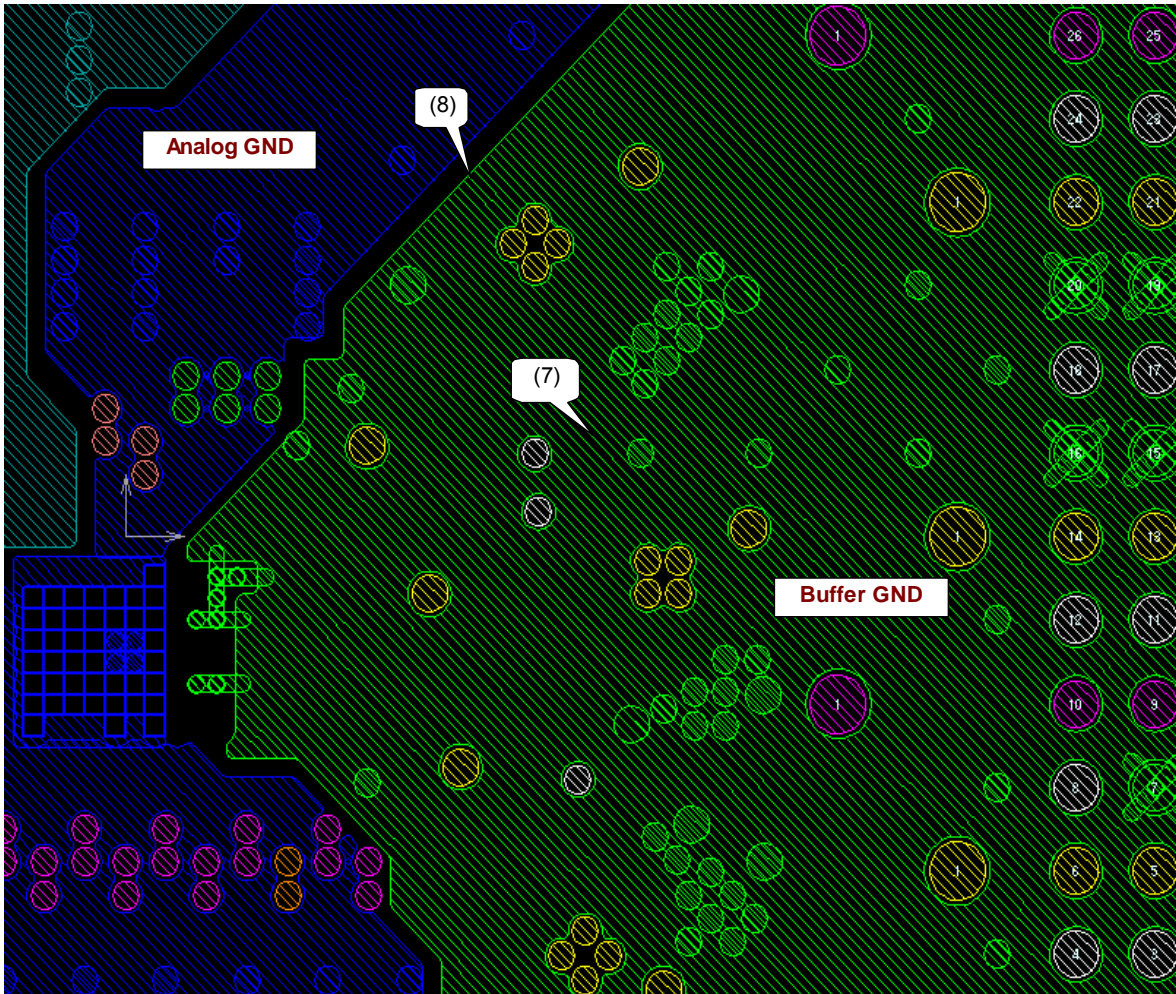


图.1-4: DCDC 模块评价板格局 (第 6 层)

- (7) 请为模拟-GND 及驱动级-GND 连接至内部层和多重 via 提供接地层，以减小阻抗。
- (8) 请将模拟-GND 及驱动级-GND 分开降低阻抗，并且能避免相互影响。

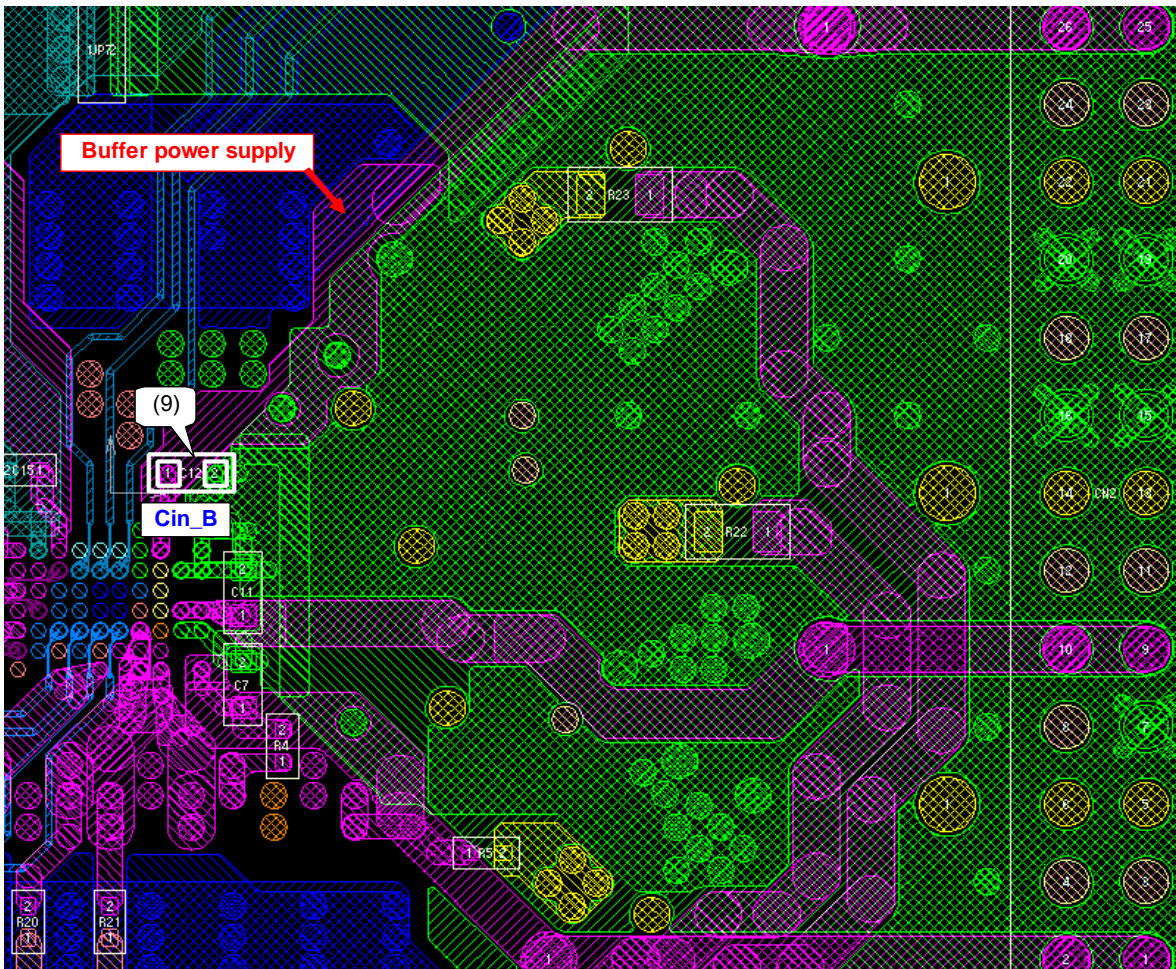


图.1-5: DCDC 模块评价板格局 (第5层 (Vin_b) + 底层 (Cin_b))

(9) 请将“Cin”放置在尽可能靠近 RC5T583S 的地方。(与 RC5T583S 贴近的距离优先级为“Cin” < L < “Cout”) 以“Cin”的情况为例; 将“Cin”置于下侧, 使其尽量接近 RC5T583S。

1.1.2 DCDC0 (大电流型)

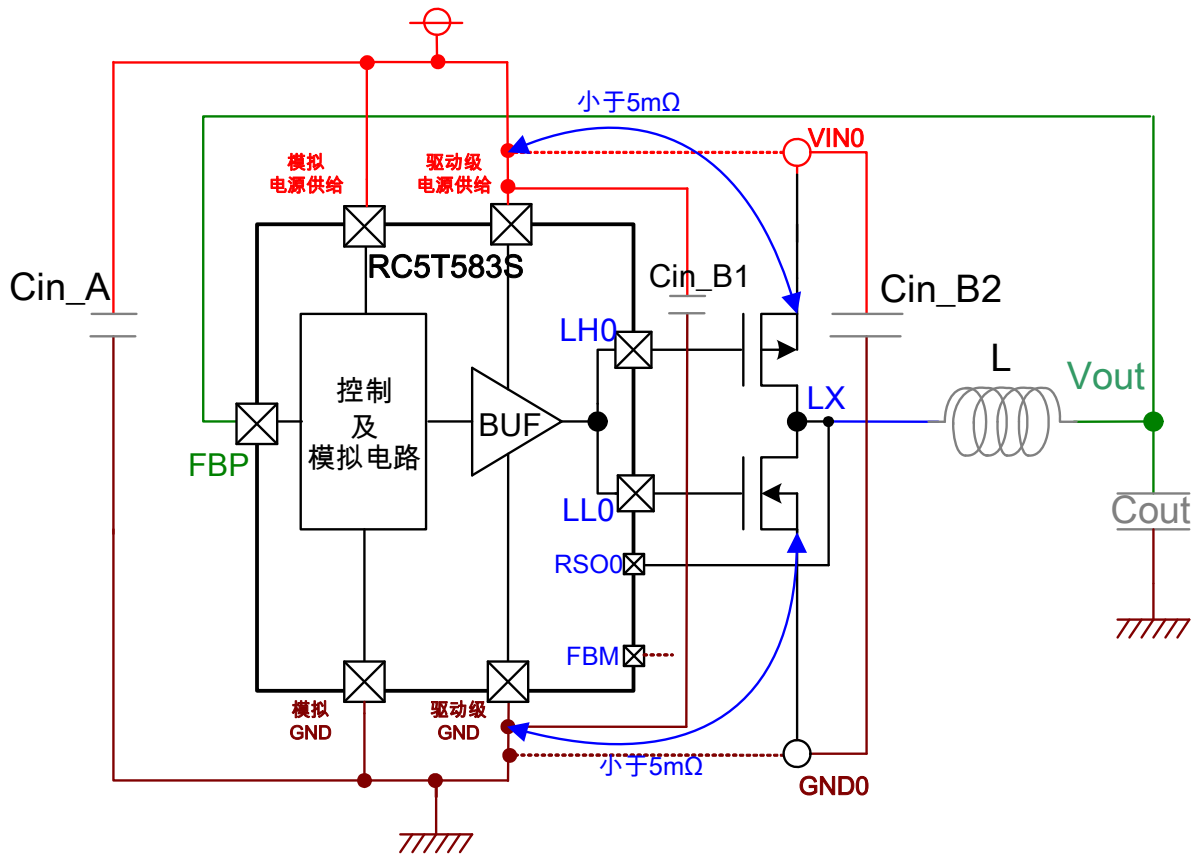


图.1-6: DCDC0 简要电路图

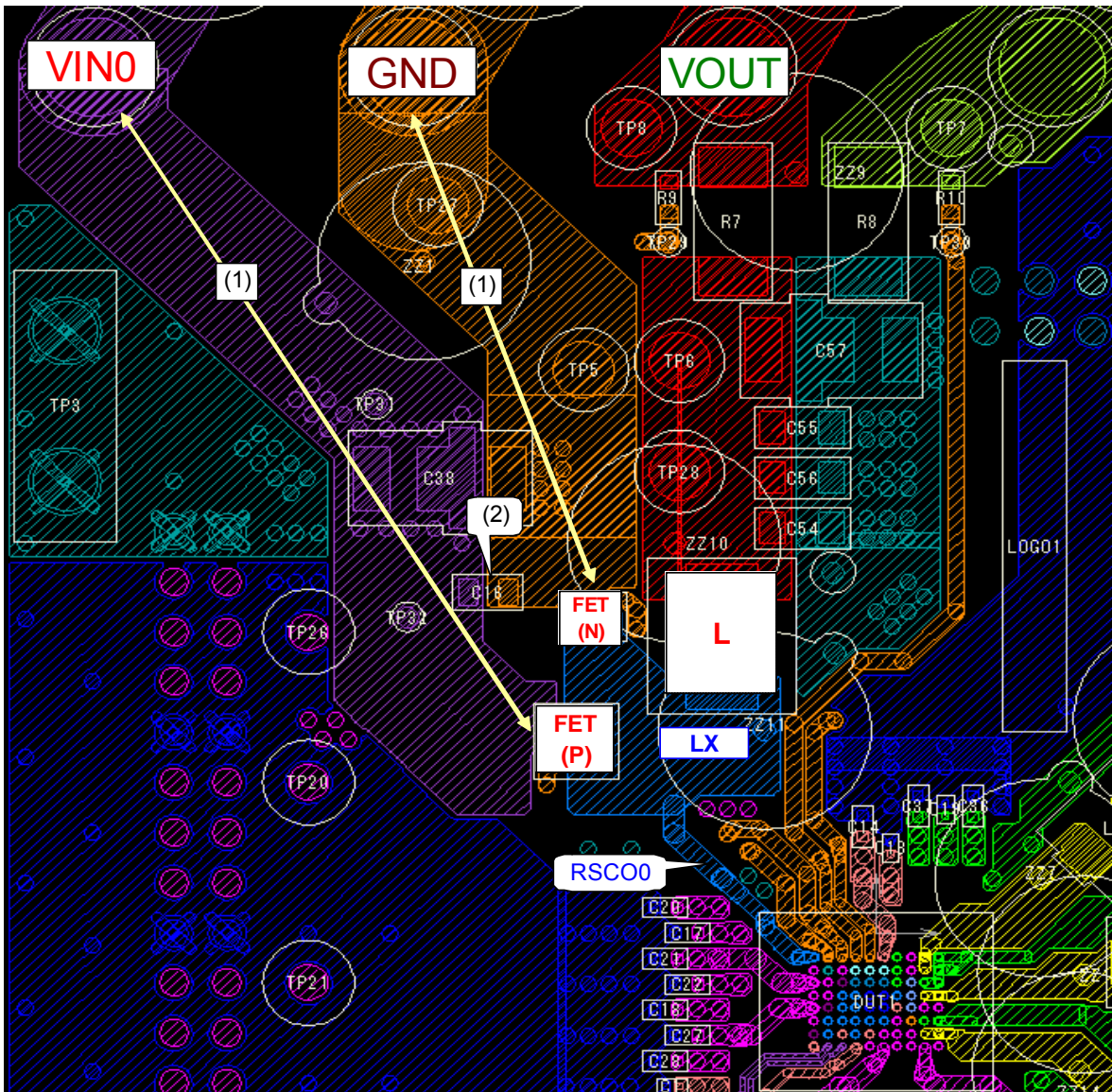


图.1-7: 外围 DCDC0 评估板格局 1 <顶层>

- (1) FET 管的电源供给走线及 GND 走线请采用较小的阻抗(RC5T583S: 5mΩ 或更小, 图. 1-6: 蓝色线)。
- (2) 请将用于外部 FET 管的 VIN0 的滤波电容, 放置在尽量靠近外部 FET 管的地方。

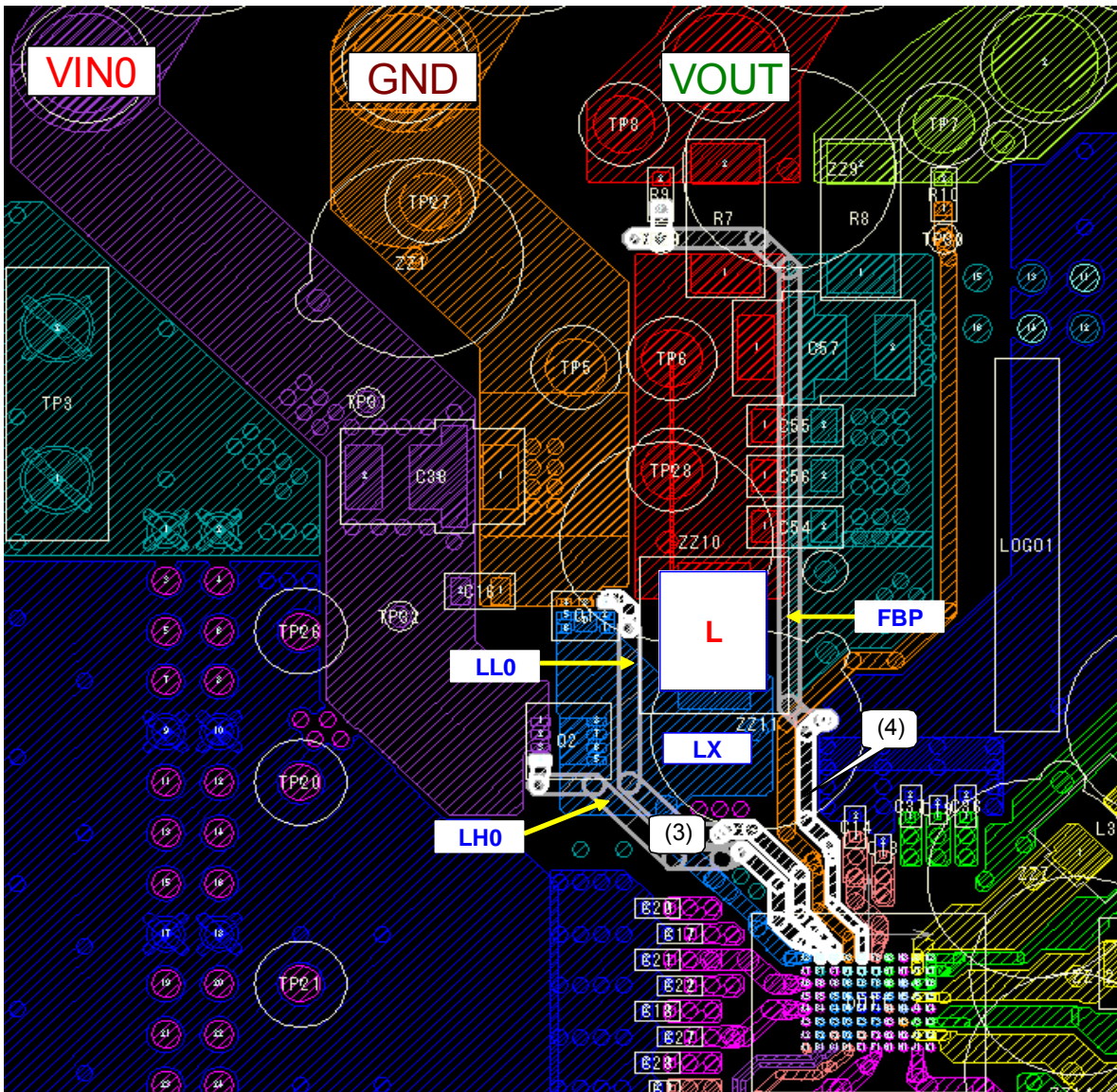


图.1-8: 外围 DCDC0 评估板格局 2<顶层>

- (3) LH0/LL0 至 FET 管栅极的信号线布线电阻请尽量小，并且不要与诸如 LX 线之类的噪声源并行走线。
以 LX 线的情况为例；在评价板上的第 8 层上连接 LX 线与 FET 管。
- (4) 请避免 VFB (FBP)线与 LX 线并行走线，或经过线圈区域下方。
以 VFB 线的情况为例；将作为输出反馈的 VFB 线布线在评价板上的第 5 层上进行。

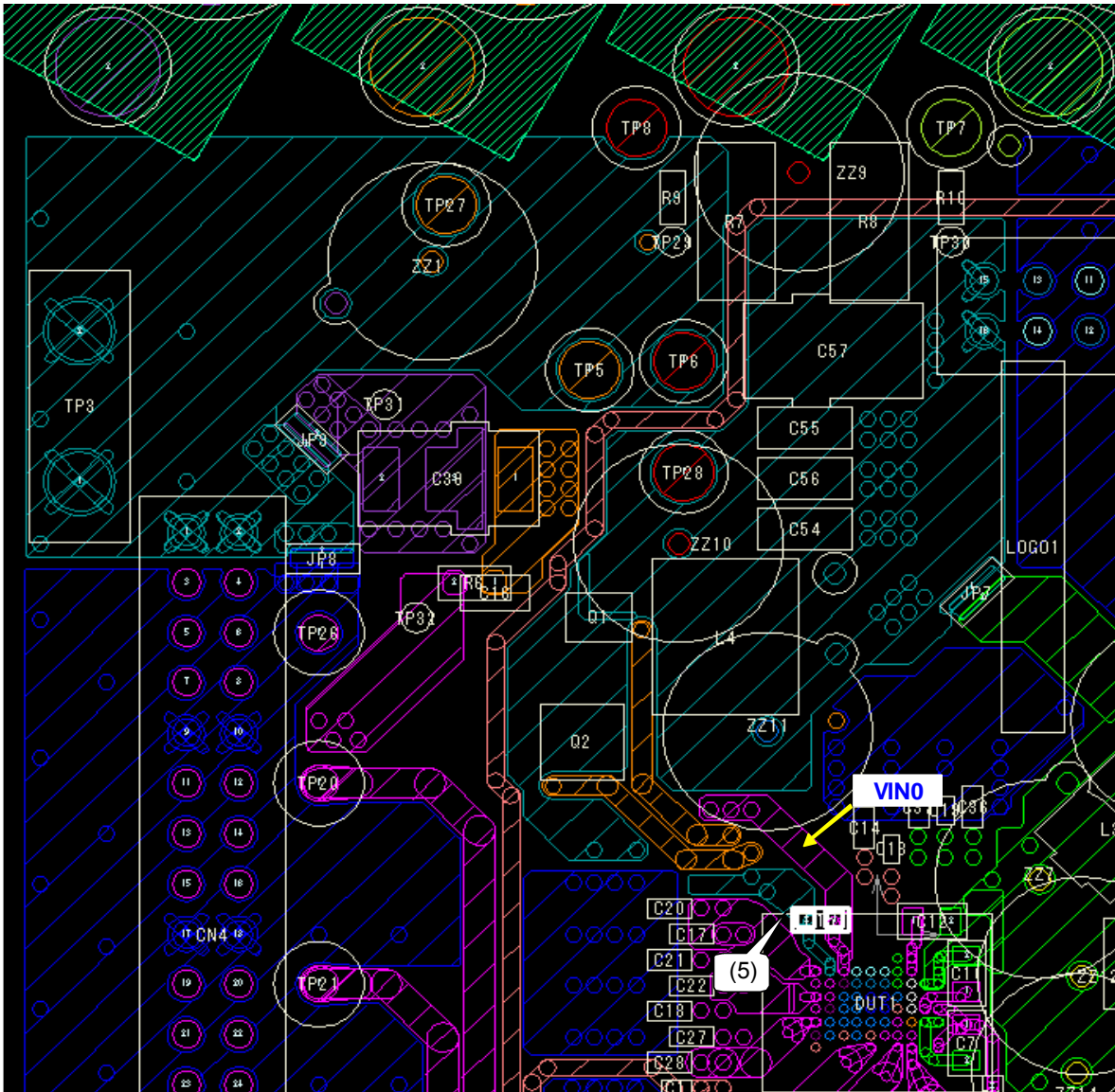


图.1-9: DCDC0 外围评价板格局 3 <底层>

(5) 请将滤波电容放置在尽可能靠近内部驱动级的电源管脚(VIN0)的地方。

1.2 RTC模块

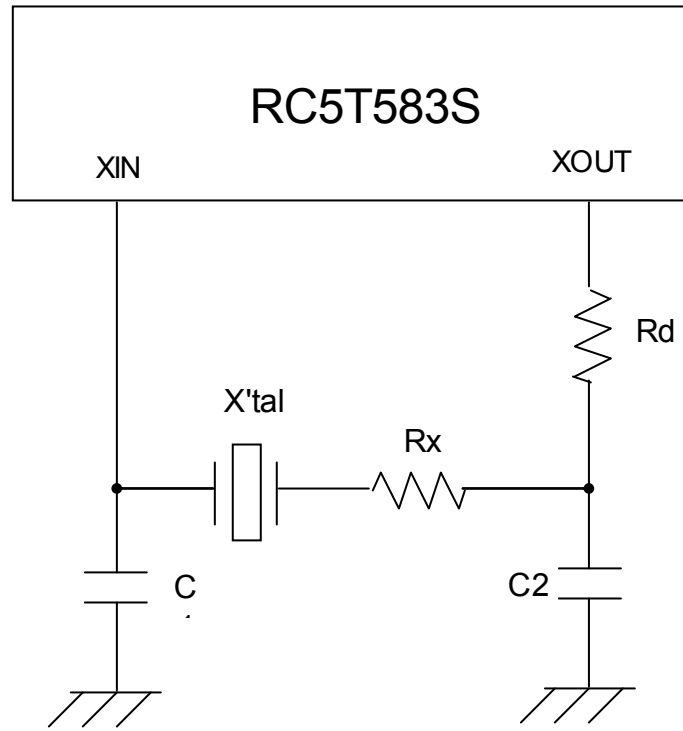


图.1-10: 晶振简要电路图

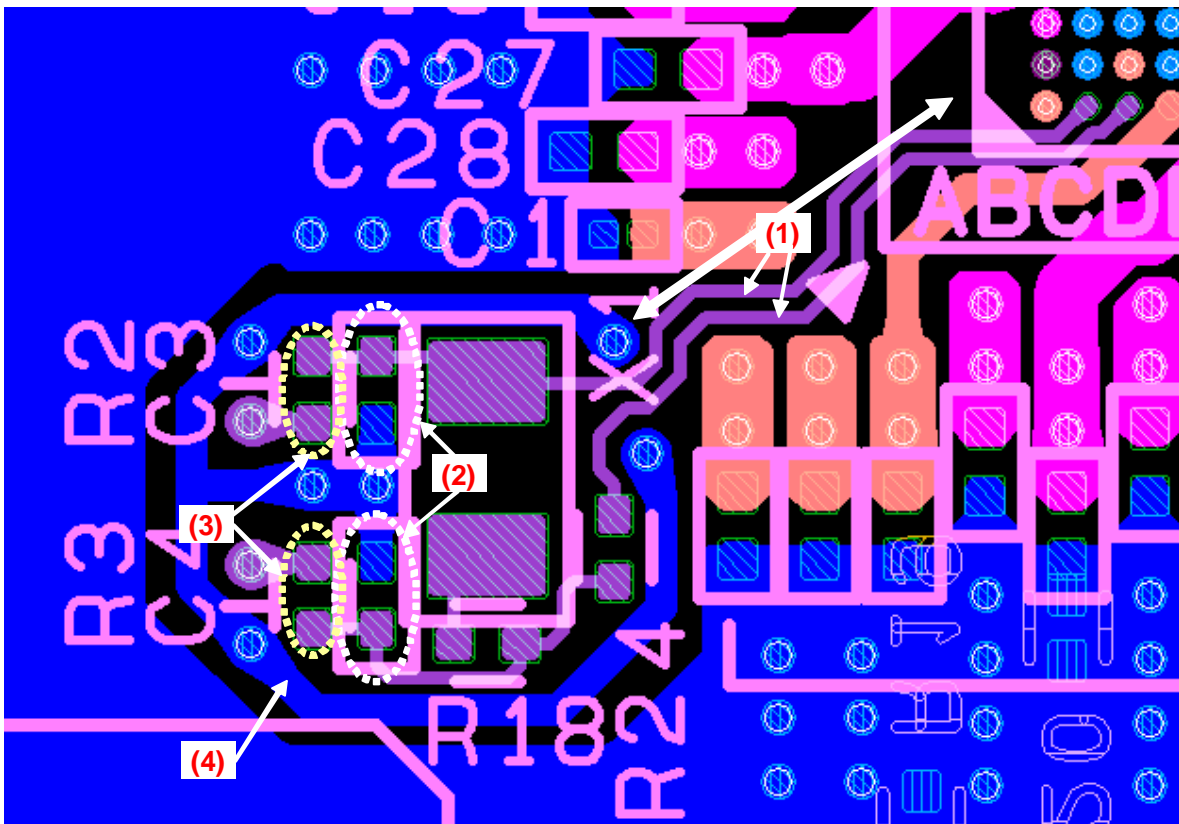


图.1-11: 评价板格局示例 (顶层)

- (1) 请将晶振放置在尽可能靠近RC5T583S的地方。对于没有via的单层板上的走线应尽可能的短，并且请勿添加多余的走线例如监测线。
- (2) 请将输入及输出电容(图.1-11 中所示的 C1 及 C2)放置在尽可能靠近晶振单元的地方，以避免额外的寄生电阻和电容。
- (3) 请优先画 Rx 及 Rd 的焊盘，因为当使用振荡器超出“驱动级别”的指标时，需要通过添加 Rx 和 Rd 来调整。
- (4) 请确认将振荡电路的 GND 通过 via 或 through hole 接至 GND 层时，在器件这一边没有连接其他 GND。请勿在晶振的层上放置信号线之类的走线。同样，请勿在振荡器焊盘之间放置 GND 避免寄生电阻。请将振荡电路的 GND 通过 via 直接连接至 GND 层。

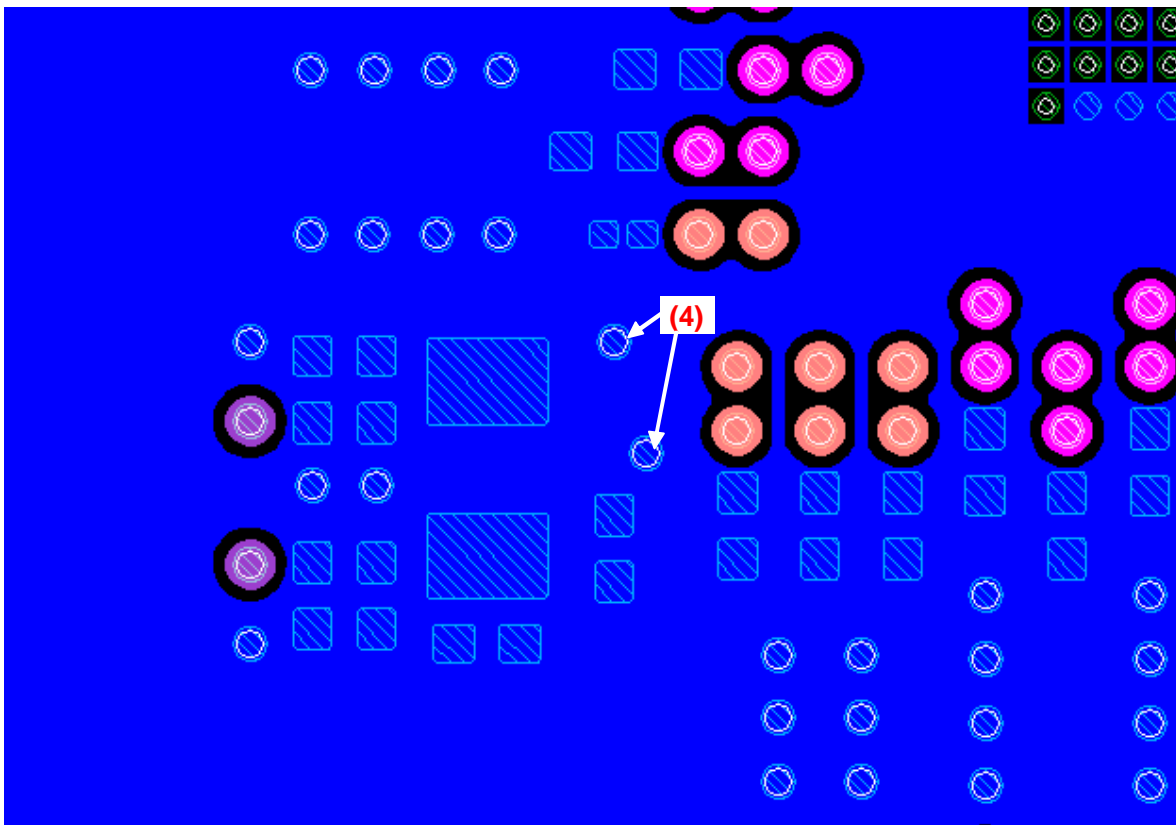


图.1-12: 评价板格局示例 (第 2 层)

2. 推荐外部器件列表 (*最大厚度: 3.0mm)

模块	管脚名称	RC5T583S 外部器件							
		器件	型号	供应商	数量	器件尺寸 [mm]			
						X尺寸	Y尺寸	Z尺寸	[mm ²]
PMU	-	-	RC5T583S	RICOH	1	5.00	5.00	1.00	25.00
Power	VBAT	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VDDIO	0.1uF	C0603JB0J104K	TDK	1	0.60	0.30	0.30	0.18
	VDDGP	0.1uF	C0603JB0J104K	TDK	1	0.60	0.30	0.30	0.18
ADC	ADCVDD	0.1uF	C0603JB0J104K	TDK	1	0.60	0.30	0.30	0.18
RTC	VSB	1kohm	P-RMC1/20-102FPA	KAMAYA	1	0.60	0.30	0.23	0.18
		1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	XOUT	32K X'tal	Q13FC135(32.768kHz, 9pF)	EPSON	1	3.20	1.50	0.90	4.80
		13pF	任意	-	1	0.60	0.30	0.30	0.18
XIN	13pF	任意	-	1	0.60	0.30	0.30	0.18	
DCDC0	VIN0	47uF	C2012X5R0J476M	TDK	2	2.00	1.20	1.25	4.80
		2.2uF	C1608X5R1A225K	TDK	1	1.60	0.80	0.80	1.28
	LH0	P-MOS	CSD25401Q3	TI	1	3.30	3.30	1.00	10.89
	LL0	N-MOS	FDMA410NZ	Fairchild	1	2.00	2.00	0.80	4.00
	FBP	2.2uH	SPM6530T-2R2M	TDK	1	7.10	6.50	3.00	46.15
FBM	100uF	AMK316ABJ107ML	Taiyo Yuden	3	3.20	1.60	1.60	15.36	
DCDC1	VIN2,VIN5	22uF	GRM21BB30J226ME38	Murata	1	2.00	1.25	1.25	2.50
	LX11,LX12	2.2uH	LTF5022T-2R2N3R2-LC	TDK	1	5.00	5.20	2.20	26.00
	FB1	47uF	C2012X5R0J476M	TDK	1	2.00	1.20	1.25	2.40
DCDC2	VIN4	10uF	GRM21BB31A106KE18	Murata	1	2.00	1.25	1.25	2.50
	LX21,LX22	2.2uH	VLS252015ET-2R2M	TDK	1	2.50	2.00	1.50	5.00
	FB2	22uF	AMK107BJ226MA	Taiyo Yuden	1	1.60	0.80	0.80	1.28
DCDC3	VIN6,VIN7	22uF	GRM21BB30J226ME38	Murata	1	2.00	1.25	1.25	2.50
	LX31,LX32	2.2uH	VLF5014ST-2R2M2R3	TDK	1	4.80	4.60	1.40	22.08
	FB3	47uF	C2012X5R0J476M	TDK	1	2.00	1.20	1.25	2.40
LDO	VIN8	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VIN9	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VIN10	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VIN11	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO0	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO1	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO2	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO3	4.7uF	JMK105BBJ475MV-F	Taiyo Yuden	1	1.00	0.50	0.50	0.50
	VO4	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO5	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO6	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	VO7	4.7uF	JMK105BBJ475MV-F	Taiyo Yuden	1	1.00	0.50	0.50	0.50
	VO8	4.7uF	JMK105BBJ475MV-F	Taiyo Yuden	1	1.00	0.50	0.50	0.50
	VO9	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
	REG18V	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50
REFO	1uF	GRM155B31A105KE15	Murata	1	1.00	0.50	0.50	0.50	
总尺寸									189

表 2-1: 外部器件列表

<DCDC: 其他推荐电感列表>

	栏目	制造商	尺寸				IDC1 (A)	IDC2 (A)	DCR(mΩ)		IOUTMAX (A)
			L(mm)	W(mm)	T(mm)	S(mm ²)	典型值	典型值	典型值	总数	
DCDC0	SPM6530	TDK	7.1	6.5	3	46.15	8.4	8.2	17.3	17	9
	SPM4012(1.0uH)×2	TDK	4.4	4.1	1.2	36.08	6	4.1	38	76	4
	IHLP2525AHER(1.0uH+0.47uH)	Vishay	6.47	6.86	1.8	88.77	14	7	17.5	26	11
	IHLP2525AHER(1.0uH)×2	Vishay	6.47	6.86	1.8	88.77	14	7	17.5	35	11
	IHLP2525AHER(0.47uH)×4	Vishay	6.47	6.86	1.8	177.54	18	11	8.4	34	20 (AC)
DCDC1	LTF5022T-2R2N3R2-LC	TDK	5	5.2	2.2	26.00	3.2	2.4	36	36	3
	SPM4012T-2R2M	TDK	4.4	4.1	1.2	18.04	4.4	2.7	82	82	3
	DFE252012C	TOKO	2.5	2	1.2	5.00	2.7	2.3	90	90	3
DCDC2	VLS252012MN-2R2M	TDK	2.5	2	1.2	5.00	1.7	1.6	96	96	1.2
	SPM4012T-2R2M	TDK	4.4	4.1	1.2	18.04	4.4	2.7	82	82	1.2
	DFE252012C	TOKO	2.5	2	1.2	5.00	2.7	2.3	90	90	1.2
DCDC3	VLF5014ST-2R2M2R3	TDK	4.8	4.6	1.4	22.08	3	2.3	59	59	2
	SPM4012T-2R2M	TDK	4.4	4.1	1.2	18.04	4.4	2.7	82	82	2
	DFE252012C	TOKO	2.5	2	1.2	5.00	2.7	2.3	90	90	2

*IDC1...-相较常规值削减30%

*IDC2...自身温度上升(+40°C典型值)

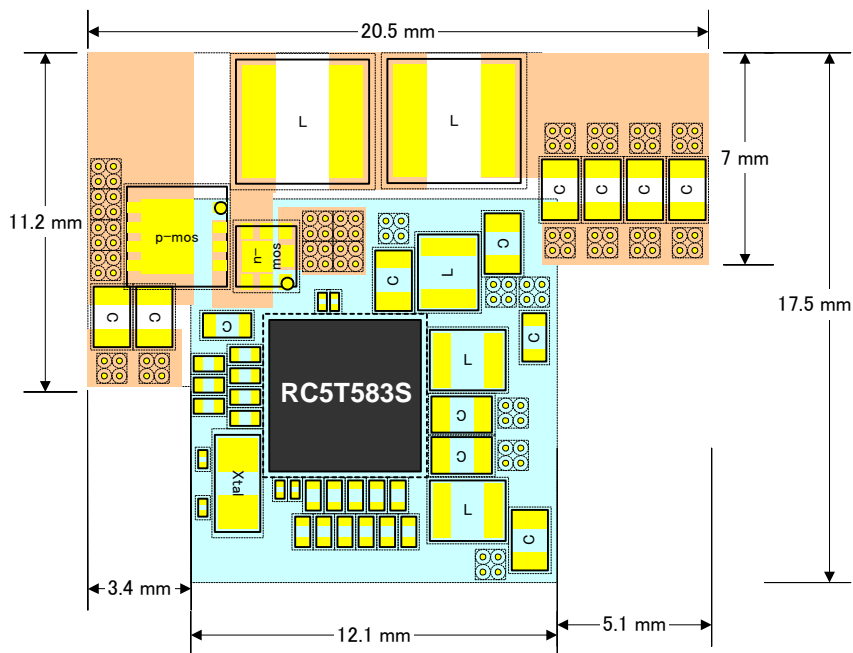
表 2-2: 外部器件列表

以下为电感选择的建议

- "IDC1" 需大于最大电流(DC).
- "IDC2" 最好大于最大电流
 - > 需注意当负载电流大于 IDC2 时导致的温度增加。
- "DCR" 尽可能的小
 - ➔ 对于串联连接情况, 效率会由于 DCR 增加有所降低

3 器件版图实例

此版图为 RC5T583S 的器件版图示例。



*PKG: BGA 5.0mm×5.0mm、0.5mm 脚距、81 管脚

图.3-1: 器件放置示例